

CLIPPEDIMAGE= JP401278743A

PAT-NO: JP401278743A

DOCUMENT-IDENTIFIER: JP 01278743 A

TITLE: CMOS INTEGRATED CIRCUIT

PUBN-DATE: November 9, 1989

INVENTOR-INFORMATION:

NAME

TSUKUDA, FUMIAKI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP63109667

APPL-DATE: May 2, 1988

INT-CL (IPC): H01L021/82;H01L027/04

ABSTRACT:

PURPOSE: To contrive the improvement of the integration degree of a CMOS integrated circuit by a method wherein at least two adjacent standard cells are arranged holding at least one of source regions in common.

CONSTITUTION: An inner-cell power supply wiring Vcc and an innercell grounding wiring GND are respectively arranged on the upper and lower sides of a prescribed rectangular region within a semiconductor chip. Standard cells, which are respectively arranged with a source region of a P-channel MOS transistor connected to the wiring Vcc consisting of a first-layer metal film 103 through contacts 102 and a source region of an N-channel MOS transistor connected to the innercell wiring GND consisting of a

first-layer metal film
103 through contacts 102, are provided on the right side
of the rectangular
region. Moreover, at least two adjacent standard cells
a1 and a2 are arranged
holding one of the source regions in common. Thereby, as
the two standard
cells not only are merely arranged in contact to each
other, but also can be
arranged superposing a part of a width W, the integration
degree of a CMOS
integrated circuit is improved.

COPYRIGHT: (C)1989,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-278743

⑮ Int. Cl.⁴

H 01 L 21/82

27/04

識別記号

庁内整理番号

L-8526-5F

B-8526-5F

A-7514-5F 審査請求 未請求 請求項の数 1 (全4頁)

⑬ 公開 平成1年(1989)11月9日

⑭ 発明の名称 CMOS集積回路

⑯ 特 願 昭63-109667

⑰ 出 願 昭63(1988)5月2日

⑱ 発 明 者 個 文 明 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

CMOS集積回路

特許請求の範囲

半導体チップ内の所定の矩形領域の上辺及び下辺にそれぞれ配置したセル内電源配線及び接地配線を有し、前記矩形領域の右(又は左)辺にそれぞれ前記セル内電源配線に接続されたpMOSトランジスタのソース領域及び前記セル内接地配線に接続されたnMOSトランジスタのソース領域を配置してなるスタンダードセルを有するCMOS集積回路において、少なくとも2つの隣接する前記スタンダードセルが、前記ソース領域の少なくともいずれか一方を共有して配置されていることを特徴とするCMOS集積回路。

発明の詳細な説明

(産業上の利用分野)

本発明は、CMOS集積回路に関し、特にスタンダードセル方式のCMOS集積回路に関する。

(従来の技術)

集積回路のチップレイアウト技術において、インバータ、NAND、NOR等の機能回路に対応した高さ一定のセル(スタンダードセル)を用意し、これをアレイ状に配置して、チップ全体のレイアウトを行なうスタンダードセルアレイという技術が知られている。従来のスタンダードセルの1例を第4図に示す。第1層金属膜で形成したセル内電源配線V_{cc}、セル内接地配線GNDを矩形領域の上辺及び下辺にそれぞれ配置し、その間にpチャネル領域を上半分、nチャネル領域を下半分に配置し、それぞれの領域内に作られたトランジスタをセル内部で結線することにより、2入力NANDゲートが構成され、入力が多結晶シリコン膜、出力は第2層金属膜でセルの上下方向に取り出せるようにしてセル外形を定義している。さらに、このようなセルを第5図に示すように、アレイ状に配置し、セル列間に配線領域をもうけ、

セル間で配線してチップを形成している。

〔発明が解決しようとする課題〕

上述した従来のスタンダードセル方式のCMOS集積回路は、トランジスタ領域と配線領域が完全に分離されている点と、インバータ、NAND、NOR等の機能回路ごとにセルを形成し、さらに、そのセルが完全に分離されたままで配置されている点の2点により、人手設計による集積回路に比較して、面積的に1.3～1.5倍程度大きくなり集積度が低くなるという欠点がある。

〔課題を解決するための手段〕

本発明のCMOS集積回路は、半導体チップ内の所定の矩形領域の上辺及び下辺にそれぞれ配置したセル内電源配線及び接地配線を有し、前記矩形領域の右(又は左)辺にそれぞれ前記セル内電源配線に接続されたpMOSトランジスタのソース領域及び前記セル内接地配線に接続されたnMOSトランジスタのソース領域を配置してなるスタンダードセルを有するCMOS集積回路において、少なくとも2つの隣接する前記スタン

ダードセルが、前記ソース領域の少なくともいずれか一方を共有して配置されているというものである。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例のセル列を示すパターン図、第2図は同じく等価回路図である。

この実施例は2入力NANDゲートを2つ隣り合せて配置したものであり、半導体チップ内の所定の矩形領域の上辺及び下辺にそれぞれ配置したセル内電源配線V_{cc}及び接地配線GNDを有し、前述の矩形領域の右辺にそれぞれ第1層金属膜からなるセル内電源配線V_{cc}にコンタクト102で接続されたpMOSトランジスタのソース領域及び第1層金属膜からなるセル内接地配線GNDにコンタクト102で接続されたnMOSトランジスタのソース領域を配置してなるスタンダードセルを有するCMOS集積回路において、少なくとも2つの隣接するスタンダードセルa1とa2

が、前述のソース領域の一つ宛をそれぞれ共有して配置されているというものである。

なお、多結晶シリコン膜101-1～101-4はMOSトランジスタのゲート電極であり、第2層金属膜105-1、105-2はドレイン領域104-1、104-2にそれぞれ接続された出力線である。

スタンダードセルa1は、第4図に示したものとほぼ同じパターンを有し、スタンダードセルa2はa1と鏡映対称のパターンを有している。従って、a1とa2を単に2つ相接して配置するだけでなく、幅Wの部分を重ね合せて配置することができるので、集積度が向上する。

第3図は本発明の第2の実施例を示すセル列のパターン図である。この実施例は2入力NANDゲートを3個並べたものであり、そのスタンダードセルb1～b3は全て同一形状を有しており、第4図のものよりセルの外形幅が多少大きくなるがセルの左右に重ね合せ領域(幅W)を形成している。この為、第1の実施例ではセルの片側にし

か、重ね合せ領域がない為、セルが複数個並んだ場合、隣り合った鏡映対称のものしか重ね合せ処理が行えなかったが、本実施例では両側に重ね合せ領域があるので、いくつでも必要な個数だけ重ね合せ処理ができるという利点がある。

以上、NANDゲートについて説明したが、NORゲートについても本発明を適用しうることは明らかである。

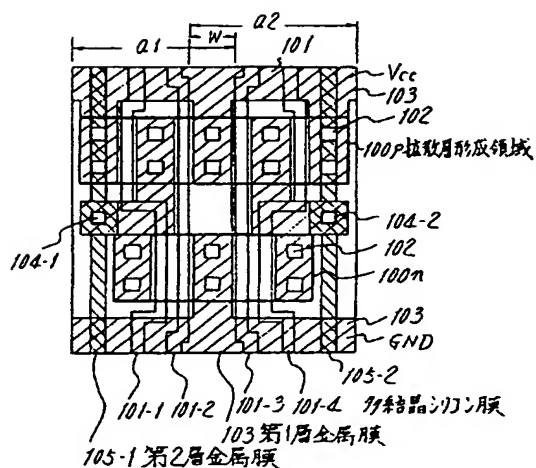
〔発明の効果〕

以上説明したように、本発明はpMOSトランジスタ又はnMOSトランジスタのソース領域をスタンダードセルの右辺又は左辺に上下方向に揃えて形成することにより、隣接するセルのソース領域を共通に使用できる為、セルの重ね合せ処理をすることでセル列の幅を今までのセル列に対し、小さくする(もしくは一列により多数のセルを配置する)ことができスタンダードセル方式のCMOS集積回路の集積度を向上することができる効果がある。

図面の簡単な説明

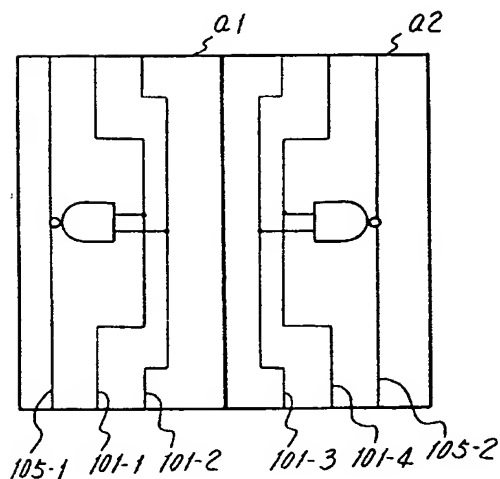
第1図は本発明の第1の実施例のセル列を示すパターン図、第2図は同じく等価回路図、第3図は第2の実施例のセル列を示すパターン図、第4図は従来例におけるスタンダードセルのパターン図、第5図は従来例を示す半導体チップの平面ブロック図である。

100n, 100p, 200n, 200p, 300n, 300p…拡散層形成領域、101-1~101-4, 201-1~201-6, 301…多結晶シリコン膜、102, 202, 302…コンタクト、103, 203, 303…第1層金属膜、104-1, 104-2, 204-1, 304…スルーホール、105-1, 105-2, 205-1, 205-2, 205-3, 305…第2層金属膜、a, a1, a3, b1, b3…スタンダードセル、GND…セル内接地配線、Vcc…セル内電源配線。

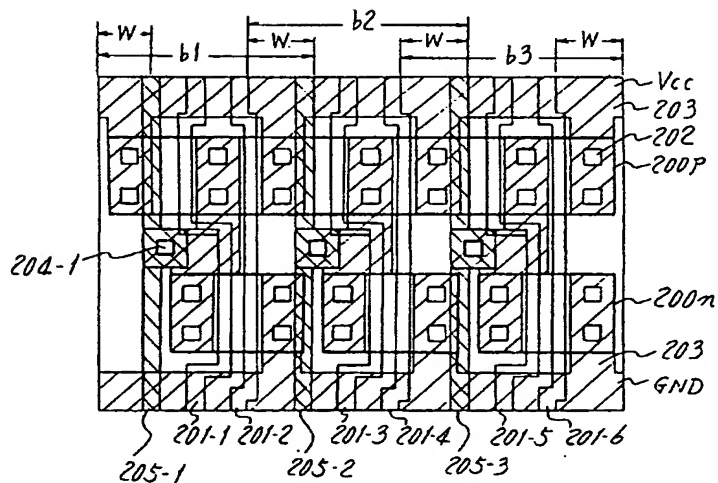


第1図

代理人 弁理士 内 原 晋



第2図



第3図

